

TP d'Électronique : Transistor MOS en amplification et en commutation

Objectifs pédagogiques

tension de seuil V_T et coefficient K Transistor MOS (**propriété**)
 polarisation d'un montage..... Montages Électronique (**manipulation**)
 impédance de sortie et d'entrée Montages Électronique (**caractérisation**)
 synchronisation à l'oscilloscope Appareils de mesure (**propriété, manipulation**)
 gain, bande passante, etc. Montages Électronique (**caractérisation**)
 représentation temporelle..... Rapporter une expérience (**caractérisation**)

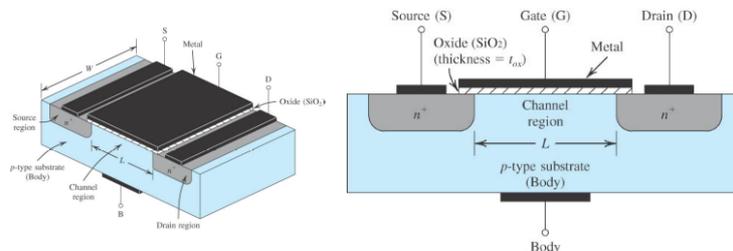
Résumé du TP

Le transistor MOS a plusieurs applications typiques, dont l'amplification et la commutation. Pour cette dernière, nous pouvons distinguer la commutation sur des dispositifs de puissance ou la réalisation de portes logiques. Dans ce TP, nous traiterons essentiellement l'amplification et la commutation de dispositifs de « puissance ». Le MOS « logique » est étudié dans un autre TP. Note : dans les parties théoriques ci-dessous, des liens vidéos complémentaires vous seront indiqués.

1 Introduction au TP

1.1 Rappel sur le transistor MOS

La figure 1 montre une représentation typique d'une réalisation physique d'un transistor MOS.



- L = Longueur de canal, W = Largeur de canal
- Typiquement $L = 0.09$ à $3 \mu\text{m}$, $W = 0.2$ à $100 \mu\text{m}$ et e_{ox} de 2 à 50 nm.
- 4 électrodes G, D, S, B → Électrodes = pts d'entrée/sortie

Figure 1: Représentation physique d'un transistor MOS tel que réalisé sur un substrat semi-conducteur

D'un point de vue descriptif et théorique, un transistor MOS (TMOS : *transistor metal oxide semiconductor ou transistor à structure métal-oxyde-semiconducteur*) consiste d'un substrat de semiconducteur dopé (par exemple p) sur lequel on a réalisé :

- deux zones dopées (dans l'exemple n) : la source (S), et le drain (D)
- une couche isolante (la plupart du temps un oxyde, SiO_2 par exemple),
- une électrode métallique déposée sur la couche isolante : la grille (G).

La zone séparant la source et le drain et recouverte par la grille est appelée *canal* (longueur L, largeur W). Il existe deux types de TMOS :

- Les TMOS à canal p dont le substrat est dopé n (source et drain dopés p)
- Les TMOS à canal n dont le substrat est dopé p (source et drain dopés n).

La Figure 2 donne un réseau de caractéristiques typiques pour un TMOS canal n. Celles d'un MOS à canal p sont identiques en inversant les signes des courants et tensions. On peut distinguer deux régions dans le cadran $I_D = f(V_{DS})$:

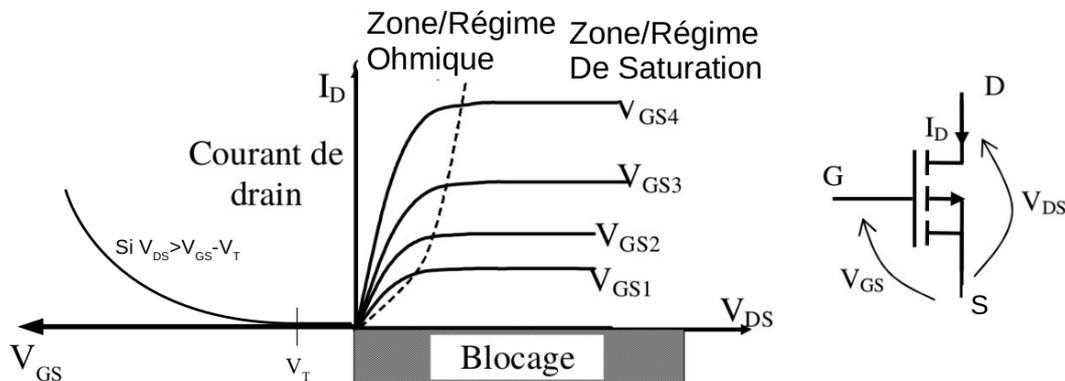


Figure 2: Caractéristique de drain d'un TMOS canal n (à gauche) et schéma électronique (à droite)

Zone Ohmique dans le cadran, de droite $I_D = f(V_{DS})$, proche de l'origine, où les caractéristiques sont pratiquement des droites dont la pente dépend de V_{GS} .

Zone de Saturation où les caractéristiques sont pratiquement des droites horizontales. Le TMOS est alors en saturation et fonctionne comme un générateur de courant commandé par la tension V_{GS} . Note : $V_{GS_{i+1}} > V_{GS_i}$.

Ces deux régions sont séparées par la courbe $|V_{DS}| = |V_{GS}| - |V_T|$ pour laquelle apparaît le pincement.

Si $|V_{GS}| < |V_T|$ on a alors $I_D = 0A$, autrement dit, le TMOS est en mode **blocage**. V_T est la tension de seuil du transistor : la tension minimale qu'il faut appliquer entre la grille et la source pour que du courant puisse circuler dans le transistor.

Deux utilisations principales du TMOS se dessinent : l'utilisation comme une triode (résistance commandée par tension ; commutation) dans son régime ohmique et celle d'un amplificateur en régime de saturation.

En **régime ohmique**, qui va être utilisé pour faire de la commutation, on peut montrer que jusqu'à la saturation, l'équation des caractéristiques peut s'écrire :

$$I_D = K_N \left[(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad \text{si } |V_{DS}| < |V_{GS}| - |V_T| \quad (1)$$

Si V_{DS} est suffisamment faible ($V_{DS} \ll V_{GS} - V_T$) on a alors :

$$I_D = K_N (V_{GS} - V_T) V_{DS} \quad (2)$$

et on note $r_{DS, on} = \frac{1}{K_N (V_{GS} - V_T)}$.

Dans la région de **saturation**, dans laquelle on va utiliser le transistor comme amplificateur, on peut montrer que l'équation des caractéristiques est :

$$I_D = \frac{K_N}{2} (V_{GS} - V_T)^2 \quad \text{si } 0 < |V_{GS}| - |V_T| < |V_{DS}| \quad (3)$$

Si l'on prend en compte l'effet de modulation de largeur du canal, cette équation devient :

$$I_D = \frac{K_N}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad (4)$$

On obtient alors une droite de faible pente sur la caractéristique $I_D(V_{DS})$ dans la région de saturation au lieu d'une droite de pente nulle. Le coefficient K_N dépend des divers paramètres technologiques du transistor : le rapport W/L (largeur du transistor sur longueur du canal, la capacité de l'oxyde de grille C_{ox} et finalement de la mobilité μ des porteurs de charges (électrons ou trous) constituant le canal. On a : $K_N = \frac{W}{L} \mu C_{ox}$. Les électrons ont une mobilité μ supérieure à celle des trous d'un facteur 3 en moyenne. De ce fait, le coefficient K_N d'un N-MOS est environ 3 fois plus élevé que celui (K_P) d'un P-MOS réalisé avec la même technologie et avec les mêmes dimensions.

Résumé des différents régimes de fonctionnement d'un TMOS, $|V_{DSsat}| = |V_{GS}| - |V_T|$.

régime	relation entre tensions	courant I_D
Blocage	$ V_{GS} - V_T \leq 0$	0
Saturation	$0 < V_{GS} - V_T \leq V_{DS} $	$\frac{K_N}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$
Ohmique	$0 < V_{DS} < V_{GS} - V_T $	$K_N (V_{GS} - V_T) V_{DS}$



<https://videos.univ-grenoble-alpes.fr/video/4895-06-mos-partie1/>
<https://videos.univ-grenoble-alpes.fr/video/4894-06-mos-partie2/>
<https://videos.univ-grenoble-alpes.fr/video/4896-06-mos-partie3/>
<https://videos.univ-grenoble-alpes.fr/video/4897-06-mos-partie4/>

1.2 Le TMOS en pratique

Dans ce TP, le transistor utilisé sera un FDS4559. Ce composant contient en réalité deux TMOS, un premier (Q1) du type n et un deuxième (Q2) du type p. Faire attention à se référer aux bonnes pages (caractéristiques) dans la documentation technique, voir Annexe B.

1.3 Montages Amplificateurs à base de TMOS

1.3.1 Montage Source Commune

La figure 3 montre le schéma complet d'un montage source commune, dont l'objectif est l'amplification de la tension variable \tilde{v}_e .

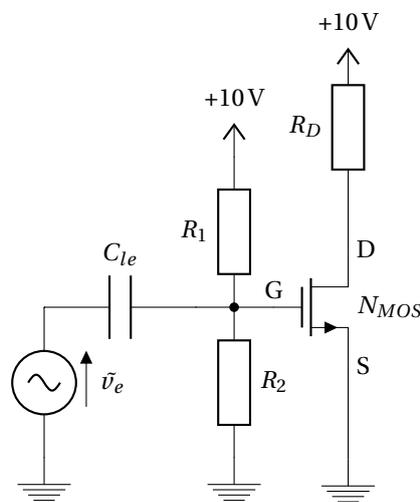


Figure 3: Montage amplificateur à TMOS type n, source commune.

On cherche à polariser ce montage avec des ordres de grandeurs convenables, permettant à la fois un fort gain en régime dynamique, et une limitation de l'échauffement du transistor. La notice technique du FDS4559 stipule des courants I_D maximum de 4,5A en continu, et les caractéristiques sont même clairement au delà des limites raisonnables d'utilisation. Sous une **tension d'alimentation de 10V**, nous chercherons limiter l'échauffement du transistor, pour garder une caractéristique stable. La datasheet indique une tension de seuil V_T comprise entre 1V et 3V. Nous choisirons donc, pour faciliter les calculs préliminaires une **tension de seuil V_T de 2V**. Pour les mêmes raisons et vue les données de la datasheet, allons rechercher un point de polarisation tel que $I_{D_0} = 25mA$ pour un $V_{DS_0} = 5V$. L'ordre de grandeur de V_{GS_0} pour fixer ce point de fonctionnement est de 2,2V. **Les valeurs de V_{GS} devront globalement être contenues entre 2V et 3V.**



Établir le schéma équivalent du montage de la figure 3 en régime statique, et déterminer R_D pour obtenir $V_{DS_0} = 5V$. Préciser la valeur la plus proche dans la série E12.



Établir le schéma équivalent du montage de la figure 3 en régime petit signal. Déterminer la transconductance g_m ainsi que le gain en tension à vide. Faire les applications numériques.
Comment choisir R_1 et R_2 ? Quelle est la bande passante dans ce modèle?



La valeur de K_N est ici en apparence cachée. Il n'en est rien, elle est bien présente et liée aux valeurs de I_{D_0} et V_{GS_0} . En effet, on a $I_{D_0} = \frac{K_N}{2} (V_{GS_0} - V_T)^2$. On peut ici s'exercer à déterminer la valeur de K_N correspondant au cas présent (donner un ordre de grandeur en s'aidant de la figure 15 de la notice technique du FDS4559). De même, on a ici pas pris en compte la résistance dynamique drain-source r_{DS} . Au vue de la figure 11 de la notice technique du FDS4559, cela vous paraît-il justifié?

1.3.2 Montage Drain Commun

D'autres types de montages amplificateurs sont possibles avec le TMOS. Un exemple classique est le montage drain commun, présenté sur la figure 4.

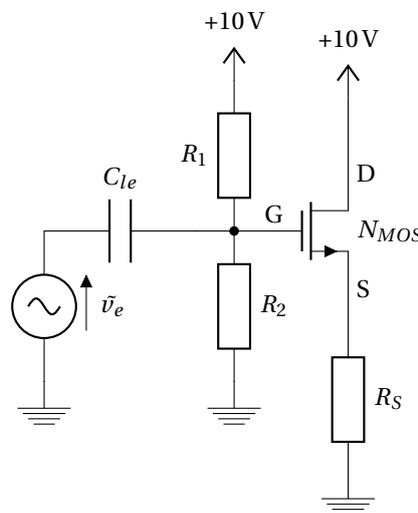


Figure 4: Montage amplificateur à TMOS type N, Drain Commun.

On souhaite reprendre les paramètres de polarisation du montage précédent, ie $I_{D_0} = 25\text{mA}$ pour un $V_{DS_0} = 5\text{V}$, avec $V_{GS_0} \approx 2.2\text{V}$. **Attention, ici $V_{GS} \neq V_{GM}$.**



Établir le schéma équivalent du montage de la figure 4 en régime statique, et déterminer R_S pour obtenir $V_{DS_0} = 5\text{V}$.



Établir le schéma équivalent du montage de la figure 4 en régime petit signal. Déterminer la transconductance g_m ainsi que le gain en tension à vide. Faire les applications numériques.

Quel est l'intérêt de ce montage? Comment choisir R_1 et R_2 ?

2 Travail en salle

Le transistor MOS avec lequel vous allez travailler est un modèle FDS4559, dont vous trouverez la notice technique (datasheet) à la fin de ce texte de TP (annexe B). Les différentes manipulations ont pour objectif la caractérisation du transistor, c'est à dire l'obtention de ses paramètres de modélisation, puis l'étude des montages vu dans la partie préparation, pour lesquels vous déterminerez des paramètres pertinents (gain, impédance d'entrée/sortie, ...).

2.1 Caractérisation du TMOS FDS4559 (Q1) : K , V_T , λ (1 fiche de mesure)

Vous allez ici utiliser le circuit de la figure 5, dans l'objectif d'obtenir les paramètres K , V_T , λ .

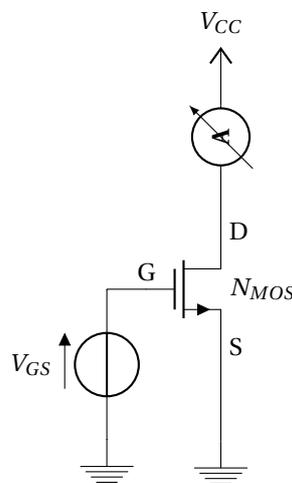


Figure 5: Circuit permettant la caractérisation du TMOS FDS4559.

Réaliser le circuit de caractérisation sous LTSpice, et préciser les directives de simulation.
Important : On ne dépassera jamais le courant continu maximal donné dans la notice technique du composant (même si cela ne craint rien en simulation).

1. A V_{DS} fixé ($> 0!$), tracer I_D en fonction de V_{GS} . En choisissant judicieusement V_{DS} , indiquer les trois régimes de fonctionnement sur le graphe.
2. Régler les paramètres de simulation afin d'obtenir le réseau de caractéristiques en variant à la fois V_{DS} et V_{GS} dans vos simulations. Commenter les courants atteints!
3. Déduire K_N et V_T de vos *mesures* (utiliser des curseurs pour l'estimation des pentes).
4. A V_{GS} fixé, mesurer I_D lorsque V_{DS} varie. Déduire λ de vos *mesures*.

Les valeurs obtenues semblent-elles correctes en vue de la notice technique?



Que pensez-vous de la valeur de λ ? Négliger ce paramètre vous paraît-il justifié?

2.2 Amplificateur Source Commune (1 fiche de mesure)

Réaliser le schéma de la figure 6a.

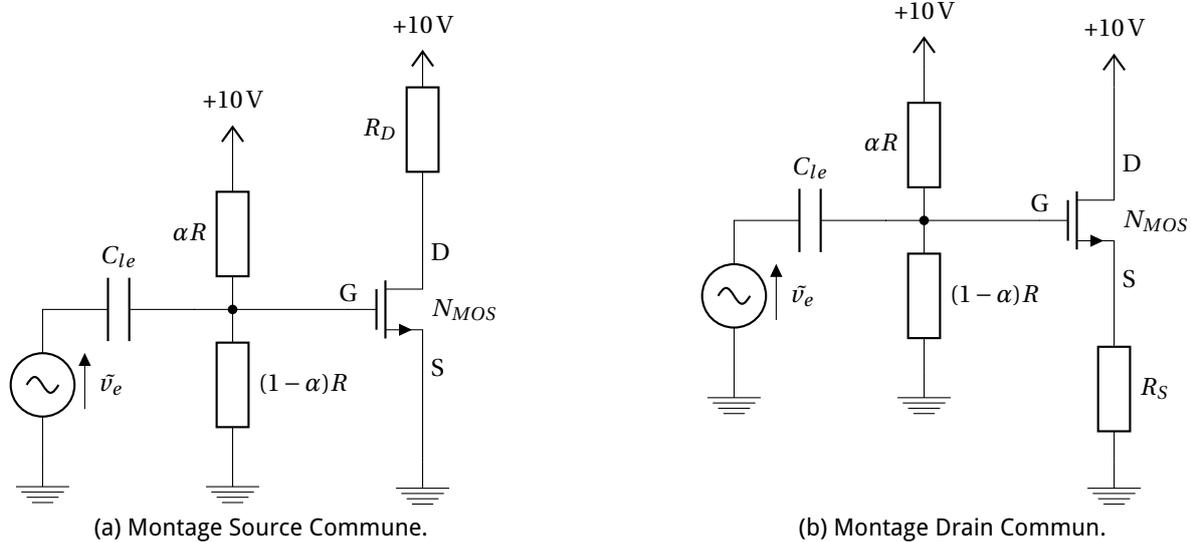


Figure 6: Montages élémentaires de transistors.

1. Fixer la polarisation à $V_{DS_0} = 5V$ en gardant $R = 1M\Omega$ et en choisissant α à deux chiffres significatifs. On peut se servir ici l'étude paramétrique en LTSpice avec des paramètres ou source de tension avec une analyse en continue (DC).
2. Mesurer le gain en tension pour une amplitude et une fréquence de la tension d'entrée \tilde{v}_e bien choisies dans la bande passante.
3. Donner le diagramme de Bode pour ce montage (directive .ac).
4. Analyser les ordres de grandeurs des différentes valeurs obtenues par rapport à vos préparations théoriques.
5. Déterminer, dans la bande passante, l'impédance d'entrée du montage.



Il peut également être intéressant de mesurer l'impédance de sortie. Proposer un protocole, et réaliser la mesure si le timing le permet.

2.3 Montage Suiveur Drain Commun (1 fiche de mesure)

De manière complémentaire aux mesures précédentes, on peut étudier le montage drain commun, relativement similaire en terme de polarisation, mais présentant un comportement dynamique différent. Réaliser le schéma de la figure 6b.

1. Fixer la polarisation à $V_{DS_0} = 5V$.
2. Mesurer le gain en tension pour une amplitude d'entrée \tilde{v}_e bien choisie.
3. Donner le diagramme de Bode pour ce montage (directive .ac).
4. Analyser les ordres de grandeurs des différentes valeurs obtenues par rapport à vos préparations théoriques.
5. Déterminer, dans la bande passante, l'impédance d'entrée du montage.
6. Ces résultats confirment-ils l'analyse faite en préparation sur le rôle d'un tel montage?

Annexes

A Fiche de mesure : « vierge »

Introduction

NOM Prénom de l'opérateur [Nous devons savoir identifier l'auteur.]

Objectif [Description courte du **pourquoi** de la mesure.]

Hypothèse [Si relevant, quelles sont les relations **attendues** entre les grandeurs mesurés?]

Principe de manipulation [Description très sommaire du **comment** les mesures seront effectuées.]

Protocole

Schéma de mesure [Sur les **schémas** de simulation, faire attention à bien labelliser vos points de mesure.]

Mode opératoire [Description **pas à pas** de ce qu'il faut faire pour pouvoir **reproduire** vos mesures.]

Observations

Mesures [Les mesures = grandeurs (+ incertitudes)+ unités sous forme de table, de **graphique**, ...]

Observations [Commenter les mesures de manière **qualitative**.]

Conclusion

Analyse et conclusion [Commenter les observations en rebouclant **quantitativement** sur votre hypothèse et en les mettant dans une perspective de l'objectif.]

B Documentation technique de la paire de TMOS FDS4559

FAIRCHILD
SEMICONDUCTOR™

April 2002

FDS4559

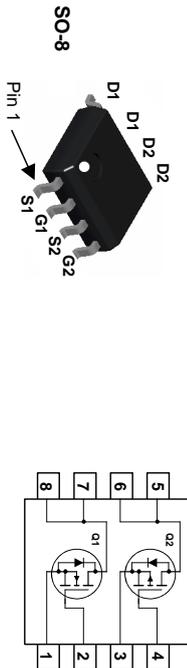
60V Complementary PowerTrench® MOSFET

General Description

This complementary MOSFET device is produced using Fairchild's advanced PowerTrench process that has been especially tailored to minimize the on-state resistance and yet maintain low gate charge for superior switching performance.

Features

- **Q1: N-Channel**
4.5 A, 60 V $R_{DS(on)} = 55 \text{ m}\Omega @ V_{GS} = 10\text{V}$
 $R_{DS(on)} = 75 \text{ m}\Omega @ V_{GS} = 4.5\text{V}$
 - **Q2: P-Channel**
-3.5 A, -60 V $R_{DS(on)} = 105 \text{ m}\Omega @ V_{GS} = -10\text{V}$
 $R_{DS(on)} = 135 \text{ m}\Omega @ V_{GS} = -4.5\text{V}$
- DC/DC converter
 - Power management
 - LCD backlight inverter



Absolute Maximum Ratings $T_A = 25^\circ\text{C}$ unless otherwise noted

Symbol	Parameter	Q1	Q2	Units
V_{DS}	Drain-Source Voltage	60	-60	V
V_{GS}	Gate-Source Voltage	± 20	± 20	V
I_D	Drain Current - Continuous - Pulsed	4.5 20	-3.5 -20	A
P_D	Power Dissipation for Dual Operation Power Dissipation for Single Operation	2 1.6 1.2	2 1.6 1.2	W
T_J, T_{STG}	Operating and Storage Junction Temperature Range	-55 to +175		$^\circ\text{C}$

Thermal Characteristics

$R_{\theta JA}$	Thermal Resistance, Junction-to-Ambient (Note 1a)	78	$^\circ\text{C/W}$
$R_{\theta JC}$	Thermal Resistance, Junction-to-Case (Note 1)	40	$^\circ\text{C/W}$

Package Marking and Ordering Information

Device Marking	Device	Reel Size	Tape width	Quantity
FDS4559	FDS4559	13"	12mm	2500 units

Electrical Characteristics							
Symbol	Parameter	Test Conditions	Type	Min	Typ	Max	Units
Drain-Source Avalanche Ratings (Note 1)							
W_{SS}	Single Pulse Drain-Source Avalanche Energy	$V_{DS} = 30\text{ V}$, $I_D = 4.5\text{ A}$	Q1			90	mJ
I_{AS}	Maximum Drain-Source Avalanche Current		Q1			4.5	A
Off Characteristics							
B_{VDS}	Drain-Source Breakdown Voltage	$V_{GS} = 0\text{ V}$, $I_D = 250\text{ }\mu\text{A}$	Q1	60			V
A_{BVSS}	Breakdown Voltage	$V_{DS} = 0\text{ V}$, $I_D = -250\text{ }\mu\text{A}$	Q2	-60			V
ΔT_1	Temperature Coefficient	$I_D = 250\text{ }\mu\text{A}$, Referenced to 25°C	Q1		58		mV/°C
I_{SS}	Zero Gate Voltage Drain Current	$I_D = -250\text{ }\mu\text{A}$, Referenced to 25°C	Q2		-49		μA
I_{SSS}	Gate-Body Leakage	$V_{GS} = 48\text{ V}$, $V_{DS} = 0\text{ V}$	Q1			1	μA
		$V_{GS} = -48\text{ V}$, $V_{DS} = 0\text{ V}$	Q2			-1	μA
		$V_{GS} = \pm 20\text{ V}$, $V_{DS} = 0\text{ V}$	Q1			± 100	nA
		$V_{GS} = \pm 20\text{ V}$, $V_{DS} = 0\text{ V}$	Q2			± 100	nA
On Characteristics (Note 2)							
$V_{GS(th)}$	Gate Threshold Voltage	$V_{GS} = V_{DS}$, $I_D = 250\text{ }\mu\text{A}$	Q1	1	2.2	3	V
$\Delta V_{GS(th)}$	Gate Threshold Voltage	$V_{GS} = V_{DS}$, $I_D = -250\text{ }\mu\text{A}$	Q2	-1	-1.6	-3	V
ΔT_1	Temperature Coefficient	$I_D = 250\text{ }\mu\text{A}$, Referenced to 25°C	Q1		-5.5		mV/°C
$R_{DS(on)}$	Static Drain-Source On-Resistance	$V_{GS} = 10\text{ V}$, $I_D = 4.5\text{ A}$	Q1		42	55	m Ω
		$V_{GS} = 10\text{ V}$, $I_D = 4.5\text{ A}$, $T_J = 125^\circ\text{C}$	Q2		72	94	m Ω
		$V_{GS} = 4.5\text{ V}$, $I_D = 4\text{ A}$	Q2		55	75	m Ω
		$V_{GS} = -10\text{ V}$, $I_D = -3.5\text{ A}$	Q1		82	105	m Ω
		$V_{GS} = -10\text{ V}$, $I_D = -3.5\text{ A}$, $T_J = 125^\circ\text{C}$	Q2		130	190	m Ω
		$V_{GS} = -4.5\text{ V}$, $I_D = -3.1\text{ A}$	Q1		105	135	m Ω
$I_{D(on)}$	On-State Drain Current	$V_{GS} = 10\text{ V}$, $V_{DS} = 5\text{ V}$	Q1	20			A
		$V_{GS} = -10\text{ V}$, $V_{DS} = -5\text{ V}$	Q2	-20			A
g_{FS}	Forward Transconductance	$V_{GS} = 10\text{ V}$, $I_D = 4.5\text{ A}$	Q1		14		S
		$V_{GS} = -5\text{ V}$, $I_D = -3.5\text{ A}$	Q2		9		S
Dynamic Characteristics							
C_{iss}	Input Capacitance	$Q1$ $V_{GS} = 25\text{ V}$, $V_{DS} = 0\text{ V}$, $f = 1.0\text{ MHz}$	Q1		650		pF
		$Q2$ $V_{GS} = -30\text{ V}$, $V_{DS} = 0\text{ V}$, $f = 1.0\text{ MHz}$	Q2		759		pF
C_{oss}	Output Capacitance	$Q1$ $V_{GS} = -30\text{ V}$, $V_{GS} = 0\text{ V}$, $f = 1.0\text{ MHz}$	Q1		80		pF
		$Q2$ $V_{GS} = -30\text{ V}$, $V_{GS} = 0\text{ V}$, $f = 1.0\text{ MHz}$	Q2		90		pF
C_{riss}	Reverse Transfer Capacitance	$Q1$ $V_{GS} = -30\text{ V}$, $V_{GS} = 0\text{ V}$, $f = 1.0\text{ MHz}$	Q1		35		pF
		$Q2$ $V_{GS} = -30\text{ V}$, $V_{GS} = 0\text{ V}$, $f = 1.0\text{ MHz}$	Q2		39		pF
Switching Characteristics (Note 2)							
$t_{d(on)}$	Turn-On Delay Time	$Q1$ $V_{DS} = 30\text{ V}$, $I_D = 1\text{ A}$, $V_{GS} = 10\text{ V}$, $R_{G(on)} = 6\text{ }\Omega$	Q1		11	20	ns
		$Q2$ $V_{DS} = 30\text{ V}$, $I_D = 1\text{ A}$, $V_{GS} = 10\text{ V}$, $R_{G(on)} = 6\text{ }\Omega$	Q2		7	14	ns
t_r	Turn-On Rise Time	$Q1$ $V_{DS} = 10\text{ V}$, $R_{G(on)} = 6\text{ }\Omega$	Q1		8	18	ns
		$Q2$ $V_{DS} = 10\text{ V}$, $R_{G(on)} = 6\text{ }\Omega$	Q2		10	20	ns
$t_{d(off)}$	Turn-Off Delay Time	$Q1$ $V_{DS} = -30\text{ V}$, $I_D = -1\text{ A}$, $V_{GS} = -10\text{ V}$, $R_{G(off)} = 6\text{ }\Omega$	Q1		19	35	ns
		$Q2$ $V_{DS} = -30\text{ V}$, $I_D = -1\text{ A}$, $V_{GS} = -10\text{ V}$, $R_{G(off)} = 6\text{ }\Omega$	Q2		19	34	ns
t_f	Turn-Off Fall Time	$Q1$ $V_{DS} = -10\text{ V}$, $R_{G(off)} = 6\text{ }\Omega$	Q1		6	15	ns
		$Q2$ $V_{DS} = -10\text{ V}$, $R_{G(off)} = 6\text{ }\Omega$	Q2		12	22	ns
Q_g	Total Gate Charge	$Q1$ $V_{GS} = 30\text{ V}$, $I_D = 4.5\text{ A}$, $V_{DS} = 10\text{ V}$	Q1		12.5	18	nC
		$Q2$ $V_{GS} = 30\text{ V}$, $I_D = 4.5\text{ A}$, $V_{DS} = 10\text{ V}$	Q2		15	21	nC
Q_{gs}	Gate-Source Charge	$Q1$ $V_{GS} = -30\text{ V}$, $I_D = -3.5\text{ A}$, $V_{DS} = -10\text{ V}$	Q1		2.4		nC
		$Q2$ $V_{GS} = -30\text{ V}$, $I_D = -3.5\text{ A}$, $V_{DS} = -10\text{ V}$	Q2		2.5		nC
Q_{gd}	Gate-Drain Charge	$Q1$ $V_{GS} = -30\text{ V}$, $I_D = -3.5\text{ A}$, $V_{DS} = -10\text{ V}$	Q1		2.6		nC
		$Q2$ $V_{GS} = -30\text{ V}$, $I_D = -3.5\text{ A}$, $V_{DS} = -10\text{ V}$	Q2		3.0		nC

Electrical Characteristics (continued)							
Symbol	Parameter	Test Conditions	Type	Min	Typ	Max	Units
Drain-Source Diode Characteristics and Maximum Ratings							
I_S	Maximum Continuous Drain-Source Diode Forward Current	$V_{GS} = 0\text{ V}$, $I_D = 1.3\text{ A}$ (Note 2)	Q1			1.3	A
V_{SD}	Drain-Source Diode Forward Voltage	$V_{GS} = 0\text{ V}$, $I_D = -1.3\text{ A}$ (Note 2)	Q1		0.8	1.2	V
		$V_{GS} = 0\text{ V}$, $I_D = -1.3\text{ A}$ (Note 2)	Q2		-0.8	-1.2	V
Notes:							
1. $R_{\theta(jc)}$ is the sum of the junction-to-case and case-to-ambient thermal resistance where the case thermal reference is defined as the solder mounting surface of the drain pins. $R_{\theta(jc)}$ is guaranteed by design while $R_{\theta(ja)}$ is determined by the user's board design.							
2. Pulse Test: Pulse Width < 300 μs , Duty Cycle < 2.0%							
Scale 1 : 1 on letter size paper							
<p>a) 78°C/W when mounted on a 0.51 in² pad of 2 oz copper</p> <p>b) 125°C/W when mounted on a .02 in² pad of 2 oz copper</p> <p>c) 135°C/W when mounted on a minimum pad.</p>							

Typical Characteristics: Q2

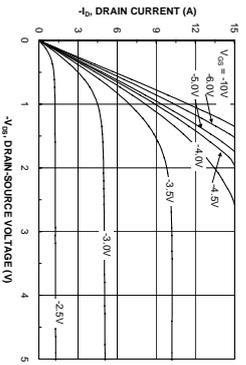


Figure 1. On-Region Characteristics.

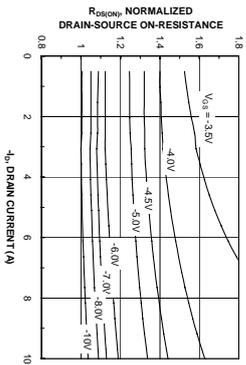


Figure 2. On-Resistance Variation with Drain Current and Gate Voltage.

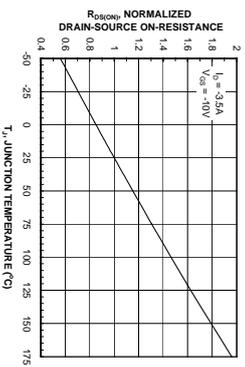


Figure 3. On-Resistance Variation with Temperature.

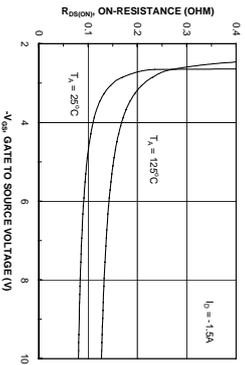


Figure 4. On-Resistance Variation with Gate-to-Source Voltage.

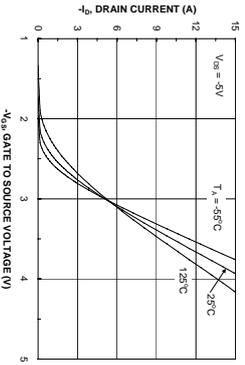


Figure 5. Transfer Characteristics.

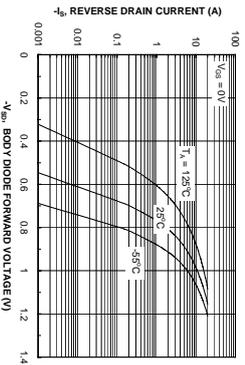


Figure 6. Body Diode Forward Voltage Variation with Source Current and Temperature.

Typical Characteristics: Q2

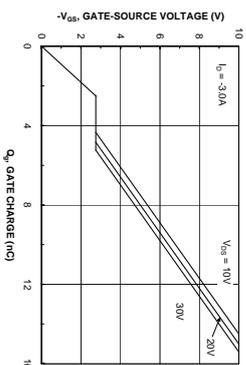


Figure 7. Gate Charge Characteristics.

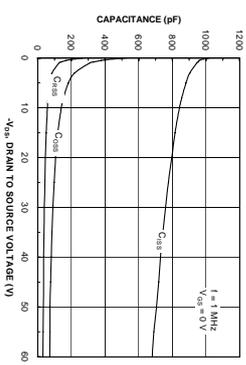


Figure 8. Capacitance Characteristics.

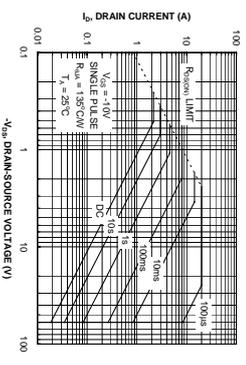


Figure 9. Maximum Safe Operating Area.

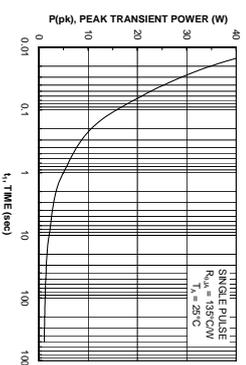


Figure 10. Single Pulse Maximum Power Dissipation.

Typical Characteristics: Q1

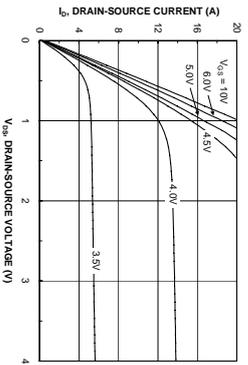


Figure 11. On-Region Characteristics.

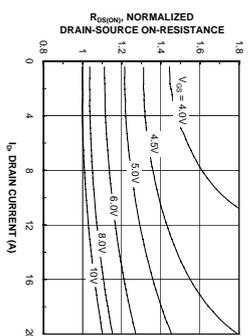


Figure 12. On-Resistance Variation with Drain Current and Gate Voltage.

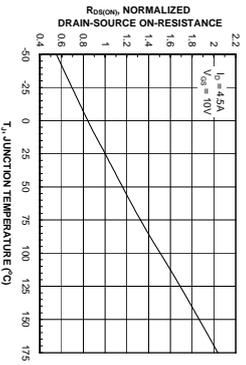


Figure 13. On-Resistance Variation with Temperature.

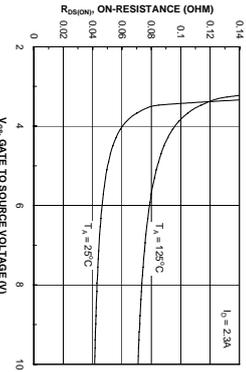


Figure 14. On-Resistance Variation with Gate-to-Source Voltage.

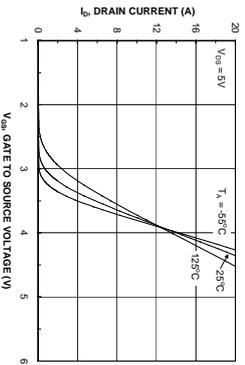


Figure 15. Transfer Characteristics.

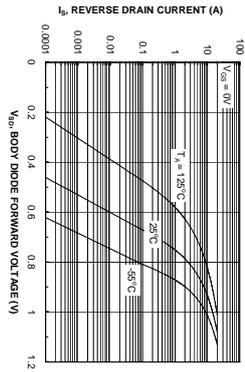


Figure 16. Body Diode Forward Voltage Variation with Source Current and Temperature.

Typical Characteristics: Q1

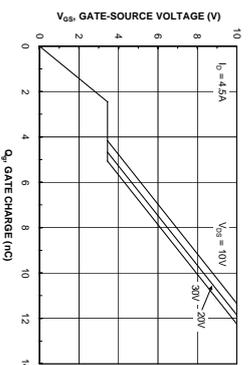


Figure 17. Gate Charge Characteristics.

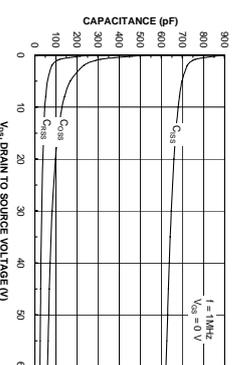


Figure 18. Capacitance Characteristics.

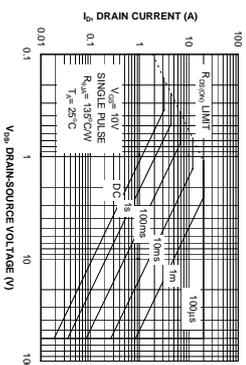


Figure 19. Maximum Safe Operating Area.

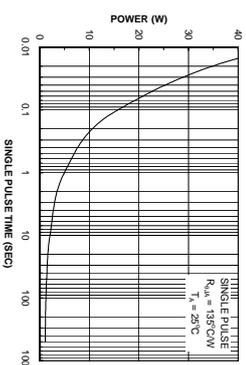


Figure 20. Single Pulse Maximum Power Dissipation.

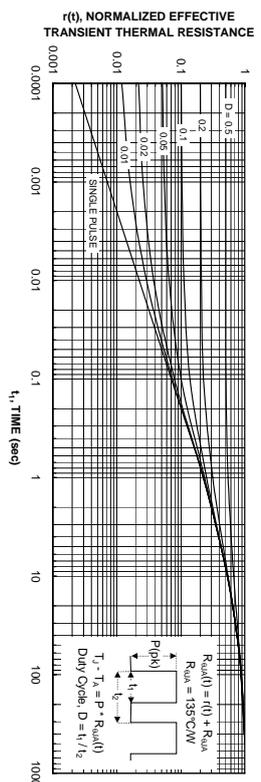


Figure 21. Transient Thermal Response Curve.
Thermal characterization performed using the conditions described in Note 1c. Transient thermal response will change depending on the circuit board design.