

Transistor MOS - introduction à la logique

I. PARTIE THEORIQUE

I.1. Constitution et fonctionnement du transistor MOS

Un transistor MOS (Metal Oxyde Semiconducteur) est constitué d'un substrat de semiconducteur dopé (par exemple p) sur lequel on a réalisé

- deux zones dopées (dans l'exemple n), la source et le drain
- une couche isolante (la plupart du temps un oxyde, SiO_2 par exemple),
- une électrode métallique déposée sur la couche isolante : la grille.

La zone séparant la source et le drain et recouverte par la grille est appelée canal (longueur L, largeur W). Il existe deux types de TMOS :

- Les TMOS à canal p dont le substrat est dopé n (source et drain dopés p)
- Les TMOS à canal n dont le substrat est dopé p (source et drain dopés n).

La Figure 1 donne un réseau de caractéristiques typiques pour un TMOS canal p. Celles d'un MOS à canal n sont identiques en inversant les signes des courants et tensions. On peut distinguer deux régions :

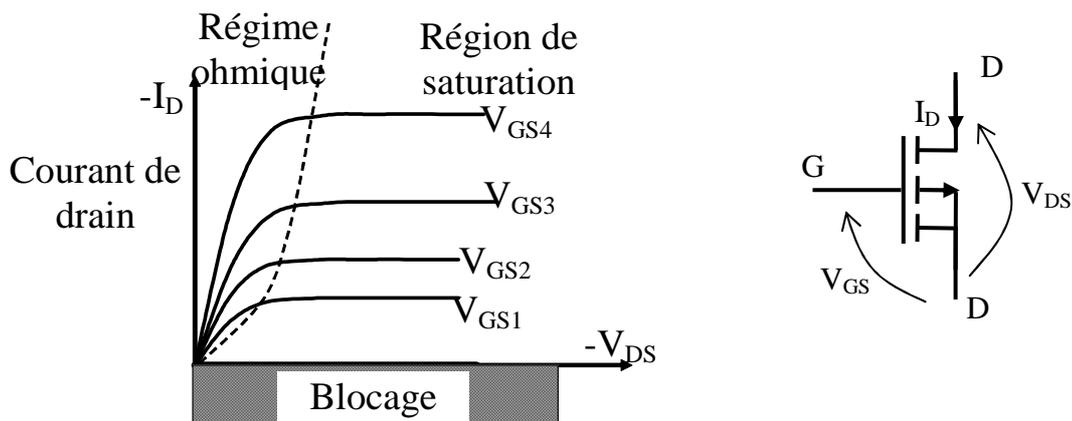


Figure 1 : Caractéristique de drain d'un TMOS canal P

- la région proche de l'origine, où les caractéristiques sont pratiquement des droites dont la pente dépend de V_{GS} . C'est la région ohmique.
- la région dite "de saturation" où les caractéristiques sont pratiquement des droites horizontales. Le TMOS est alors en saturation et fonctionne comme un générateur de courant commandé par la tension V_{GS} .

Ces deux régions sont séparées par la courbe telle que $|V_{GS}| = |V_{DS}| + |V_T|$ pour laquelle apparaît le pincement. V_T est la tension de seuil du transistor (correspond à la tension minimale qu'il faut appliquer entre la grille et la source pour que du courant puisse circuler dans le transistor). En résumé :

- Si $|V_{GS}| - |V_T| < 0 \Leftrightarrow |V_{GS}| < |V_T|$ blocage ($I_D = 0$)
- Si $0 < |V_{DS}| < |V_{GS}| - |V_T| = |V_{DSsat}|$ régime ohmique
- Si $0 < |V_{GS}| - |V_T| < |V_{DS}|$ saturation

On peut montrer que dans la région ohmique et jusqu'à la saturation, l'équation des caractéristiques peut s'écrire :

$$I_D = K [(V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2] \quad \text{si } |V_{GS}| - |V_T| > |V_{DS}| \quad (1)$$

La région proprement ohmique est bien entendu, celle où le 2ème terme est négligeable devant le premier dans les crochets. On obtient alors l'équation :

$$I_D = [K (V_{GS} - V_T)] \cdot V_{DS} \quad (2)$$

Dans la région de saturation, on peut montrer que l'équation des caractéristiques est :

$$I_D = \frac{K}{2} (V_{GS} - V_T)^2 \quad \text{si } 0 < |V_{GS}| - |V_T| < |V_{DS}| \quad (3)$$

Si l'on ne néglige pas l'effet de modulation de largeur du canal, cette équation devient :

$$I_D = \frac{K}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad (4)$$

On obtient alors une droite de faible pente sur la caractéristique $I_D(V_{DS})$ dans la région de saturation au lieu d'une droite de pente nulle.

Le coefficient K dépend des divers paramètres technologiques du transistor : le rapport W/L (largeur du transistor sur longueur du canal, la capacité de l'oxyde de grille C_{ox} et finalement de la mobilité μ des porteurs de charges (électrons ou trous) constituant le canal. On a :

$$K = (W/L) \mu C_{ox} \quad (5)$$

Les électrons ont une mobilité μ supérieure à celle des trous d'un facteur 3 en moyenne. De ce fait, le coefficient K d'un N-MOS est environ 3 fois plus élevé que celui d'un P-MOS réalisé avec la même technologie et avec les mêmes dimensions.

I.2. INVERSEUR CMOS

Les transistors MOS permettent la réalisation de fonctions analogiques, e.g. d'amplification, mais sont également utilisés pour fabriquer la grande majorité des circuits numériques. La technologie de fabrication CMOS (Complementary Metal Oxide Semiconductor) associe des transistors MOS de types complémentaires, canal n et canal p, pour réaliser des cellules logiques élémentaires, e.g. portes non, et, bascules,....

Nous nous contenterons ici d'étudier la structure et le fonctionnement de l'inverseur CMOS représenté Figure 2. Ce dernier est constitué de deux TMOS complémentaires dont les grilles et les drains sont reliés. L'analyse de son fonctionnement peut être décrite à partir des équations des deux TMOS pris séparément.

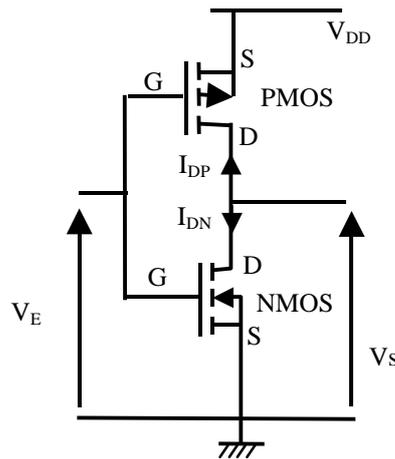


Figure 2- Structure d'un inverseur CMOS

TMOS P	TMOS N
$V_E = V_{DD} - V_{GSP} $; $V_S = V_{DD} - V_{DSP} $	$V_E = V_{GSN}$; $V_S = V_{DSN}$
Blocage $ V_{GSP} \leq V_{TP} \Leftrightarrow V_E \geq V_{DD} - V_{TP} $ $I_{DP} = 0$	Blocage $V_E \leq V_{TN}$ $I_{DN} = 0$
Région ohmique $V_E \leq V_{DD} - V_{TP} $ $V_S \geq V_E + V_{TP} $ $I_{DP} = -K_P \left[(V_S - V_{DD})(V_E - V_{DD} + V_{TP}) - \frac{(V_S - V_{DD})^2}{2} \right]$	Région ohmique $V_E \geq V_{TN}$ et $V_{DN} = V_S \leq V_E - V_{TN} = V_{Dsat}$ $I_{DN} = K_N \left[V_S(V_E - V_{TN}) - \frac{V_S^2}{2} \right]$
Région de saturation $V_E \leq V_{DD} - V_{TP} $ $V_S \leq V_E + V_{TP} $ $I_{DP} = -\frac{K_P}{2} (V_E - V_{DD} + V_{TP})^2$	Région de saturation $V_S \geq V_E - V_{TN}$ $V_E \geq V_{TN}$ $I_{DN} = \frac{K_N}{2} (V_E - V_{TN})^2$

Où :

- I_{DN} et I_{DP} sont les courants entrant dans les drains des deux transistors TMOS
- V_{TN} et V_{TP} sont les tensions de seuil des deux transistors MOS ($V_{TN} > 0$, $V_{TP} < 0$) ;
- K_N et K_P sont les constantes caractéristiques des deux transistors MOS

Ces équations permettent, en écrivant que $I_{DN} + I_{DP} = 0$, d'analyser le plan (V_E, V_S) et de calculer le courant circulant dans les deux TMOS suivant la région considérée. On peut ainsi montrer qu'il existe cinq régions de fonctionnement pour l'inverseur (voir Figure 3).

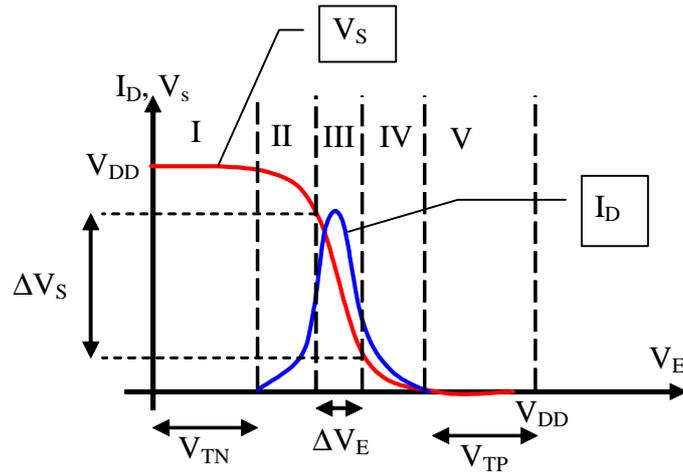


Figure 3 : Caractéristiques $I_D(V_E)$ et $V_S(V_E)$

Condition	Région	TMOS Canal P	TMOS Canal N
$0 \leq V_E \leq V_{TN}$	I	Ohmique	Bloqué
$V_{TN} \leq V_E \leq V_S - V_{TP} $	II	Ohmique	Saturé
$V_S - V_{TP} \leq V_E \leq V_S + V_{TN}$ $\Leftrightarrow \Delta V_E = V_{TN} + V_{TP} - \Delta V_S$	III	Saturé	Saturé
$V_S + V_{TN} \leq V_E \leq V_{DD} - V_{TP} $	IV	Saturé	Ohmique
$V_{DD} - V_{TP} \leq V_E \leq V_{DD}$	V	Bloqué	Ohmique

La région III (région de basculement) est en fait relativement étroite et il lui correspond, en pratique, une tension V_E unique, V_E^* obtenue par résolution de l'équation $I_{DN} + I_{DP} = 0$ pour une saturation des deux TMOS. On obtient :

$$V_E^* = \frac{V_{DD} - |V_{TP}| + V_{TN} \sqrt{K_N / K_P}}{1 + \sqrt{K_N / K_P}} \quad (6)$$

On dit qu'un inverseur est équilibré lorsque sa tension de basculement V_E^* vaut $V_{DD}/2$. Dans ce cas, lorsque la tension d'entrée est inférieure à $V_{DD}/2$, la sortie est à l'état haut, et lorsque la tension d'entrée est supérieure à $V_{DD}/2$, la sortie est à l'état bas. Les inverseurs destinés à être utilisés comme porte logique sont conçus en essayant de respecter cette condition.

II. PARTIE PRATIQUE

II.1. CARACTÉRISTIQUES STATIQUES DE TRANSISTORS MOS

II.1.1. Mesure de la caractéristique statique $I_D(V_{DS})$ du P-MOS

Travail de préparation

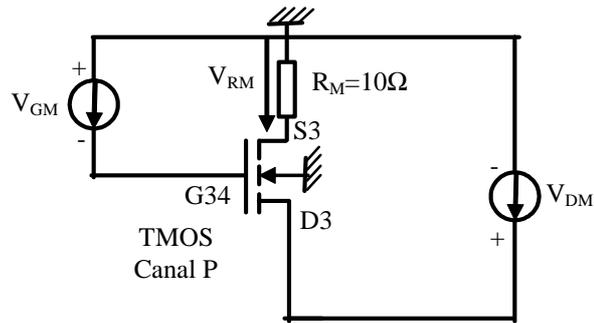


Figure 4 : Relevé $I_D(V_{GS})$ pour le transistor P-MOS

- Recopiez le schéma de la figure 4 et ajoutez-y la position des branchements vers l'oscilloscope pour réaliser la mesure $V_{RM} = f(V_{DM})$ en mode XY.
- Pour les mesures, faites attention aux points suivants :
 - Utilisez comme résistance R_M une boîte à décade de 10Ω .
 - L'oscilloscope affichera $V_{RM}=f(V_{DM})$ soit une image de $I_D=f(V_{DS})$ en mode XY, les entrées de l'oscilloscope étant réglées en DC.
 - La masse du montage correspond au potentiel le plus élevé.
 - La tension V_{GS} est négative et issue de l'alimentation continue (+ sur la masse et - sur la grille). (Note : il est possible de connecter le - de l'alimentation sur un potentiel quelconque car il s'agit d'une alimentation flottante. Les autres alimentations (GBF notamment) doivent être connectées à la même masse)
 - Pour appliquer une tension V_{DS} négative, branchez le GBF entre la source (+) et la masse (-) et programmez une tension triangulaire évoluant de -10V à 0V.
- Mesures :
 - Relever la caractéristique $I_D(V_{DS})$ pour $V_{GS} = -6V$ du transistor P-MOS T3. Relevez uniquement l'allure de la courbe, inutile d'effectuer un relevé précis. Par contre, faites attention à mettre l'échelle y en ampères.
 - Relevez la valeur de I_D pour $V_{DS} = -5V$
 - Diminuez V_{GS} (en valeur absolue) jusqu'à atteindre le seuil du transistor et notez cette valeur.
- Analyse :
 - Décrivez la courbes obtenues, et situez les zones de fonctionnement du transistor sur le graphique (ohmique, saturé, bloqué).
 - Donnez la valeur de la tension de seuil V_{TP} du transistor ainsi que de K_P .

II.1.2. Mesure de la caractéristique statique $I_D(V_{DS})$ du N-MOS

Travail de préparation

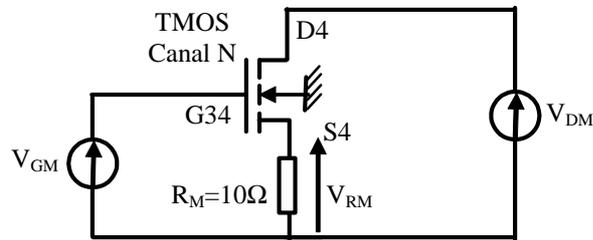


Figure 5 : Relevé de $I_D=f(V_{DS})$ à $V_{GS}=Cte$ pour le N-MOS

- Recopiez le schéma de la figure 5 et ajoutez-y la position des branchements vers l'oscilloscope pour réaliser la mesure $V_{RM} = f(V_{DM})$ en mode XY.
- On veut mesurer la caractéristique $I_D=f(V_{DS})$. Pour ce faire, il faudrait mesurer $V_{RM} = f(V_{DS})$. Pourquoi mesure-t-on $V_{RM} = f(V_{DM})$ à la place? Pourquoi avoir fixé la valeur de R_M à 10Ω ?

On souhaite tracer la caractéristique statique $I_D=f(V_{DS})$ à $V_{GS}=Cte$. Pour ce faire, on utilise le montage de la figure 5. Le transistor utilisé est T4 (situé en bas à droite de la maquette).

- Utilisez comme résistance R_M une boîte à décade de 10Ω .
- La tension V_{DM} est lentement variable comprise entre 0 et 10V (triangulaire, 100Hz par exemple) issue du générateur basse fréquence.
- La tension V_{GM} est une tension continue issue d'une alimentation continue.
 - Relever sur un même graphique les courbes $I_D=f(V_{DS})$ pour $V_{GS} = 6V$. Relevez uniquement l'allure de la courbe, inutile d'effectuer un relevé précis. Par contre, faites attention à mettre l'échelle y en ampères.
 - Relevez la valeur de I_D à $V_{DS} = 5V$.
 - Relever la plage de tension V_{GS} pour laquelle $I_D=0$.
- Analyse :
 - Donnez la valeur de la tension de seuil V_{TN} du transistor ainsi que de K_N .
 - Pour mesurer le courant à l'oscilloscope, on introduit une résistance R_M . De ce fait, on mesure $I_D=f(V_{DM})$ au lieu de $I_D=f(V_{DS})$. Vérifier si l'approximation $V_{DM} = V_{DS}$ est raisonnable sur les relevés effectués.

II.2. ETUDE D'UN INVERSEUR CMOS

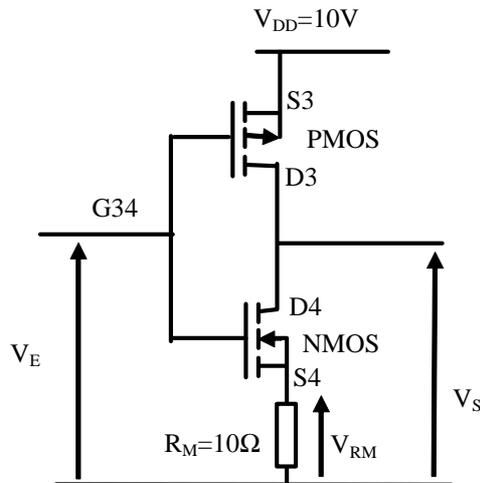


Figure 5 : Montage inverseur

II.2.1. Etude statique

Le montage représenté sur la figure 5 sera réalisé à l'aide des transistors T3 et T4 de la maquette (situés sur la droite de la maquette).

- Tracer les caractéristiques statiques $V_S(V_E)$ et $I_D(V_E)$ sur un même graphe. La mesure se fera en mode XY en injectant en V_E un signal triangulaire évoluant de 0 à 10V. L'inverseur sera alimenté par une tension continue de 10V.
- Analyse :
 - Commentez la courbe $V_S(V_E)$ obtenue (la fonction 'inverseur' est-elle réalisée, l'inverseur est-il équilibré, etc...).
 - Commentez la courbe $I_D(V_E)$ obtenue (à quel moment l'inverseur consomme-t-il du courant ? ...)
 - Annotez votre graphique en précisant l'état des transistors dans les différentes zones de fonctionnement.
 - Mesurez les tensions de seuil V_{TN} et V_{TP} . Comparez aux valeurs obtenues en II.1
 - Mesurez la tension de basculement V_E^* et déduisez-en la valeur du rapport K_n/K_p . Comparez aux valeurs obtenues en II.1.

Questions Bonus (s'il vous reste plus de 2h)

- Critiquez la validité de la relation (6) permettant de calculer V_E^* au vu de la caractéristique du transistor p.
- Faites varier la tension V_{DD} et regardez l'évolution de la caractéristique $I_D(V_E)$. Mesurez la valeur de V_{DD} qui permet d'équilibrer l'inverseur.
- En utilisant la relation (6) et en supposant que $K_n=K_p$, calculez le rapport des largeurs W_p/W_n des transistors utilisés pour réaliser l'inverseur (on utilise habituellement des longueurs de canal égales pour les deux transistors : $L_n=L_p$).
- Quelle caractéristique $V_S(V_E)$ aurait-on obtenue si on avait utilisé un transistor P de mêmes dimensions que le N ?

II.2.2. Etude dynamique

- Appliquer en V_e un signal rectangulaire de fréquence 10 kHz et variant de 0 à 10 Volts.
- Afficher $V_E(t)$ et $V_S(t)$ sur l'oscilloscope **à l'aide d'une sonde de tension**. A partir de ces relevés, mesurer les grandeurs suivantes :
 - t_{pHL} : temps de propagation entre la tension de sortie et celle d'entrée, mesuré à 50%
 - t_d : temps de descente de la sortie, mesuré de 10 à 90 %.
- Relever $V_E(t)$ et $I_D(t)$ sur un même oscillogramme (allure des courbes uniquement).
- Analyse :
 - Commentez la courbe $I_D(t)$ mesurée en vous aidant des résultats obtenus sur la caractéristique statique $I_D(V_E)$.
 - Comparez les valeurs de t_{pHL} et t_d par rapport aux valeurs données par le fabricant.
 - Expliquez pourquoi on a besoin d'une sonde de tension pour effectuer les mesures de t_{pHL} et t_d . (éventuellement mesurer sans sonde et comparer)
 - Conclure sur la fréquence maximale d'utilisation de l'inverseur.
 -

II.3. ETUDE D'UNE PORTE LOGIQUE

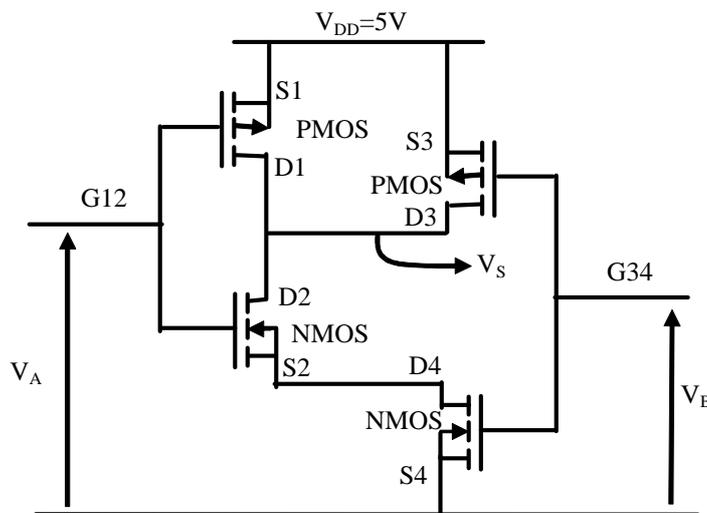


Figure 6 : porte logique à étudier

Travail de Préparation

- Le circuit présenté sur la figure 6 comporte deux entrées : V_A et V_B , et une sortie V_S . Il s'agit d'une porte logique. A partir du schéma, déduisez la table de vérité $V_S(V_A, V_B)$ de ce circuit. Pour ce faire, analysez l'état des transistors selon les 4 cas possibles à l'entrée : ($V_A=0$ et $V_B=0$) ; ($V_A=0$ et $V_B = V_{DD}$) ; ($V_A = V_{DD}$ et $V_B = 0$) ; ($V_A=V_{DD}$ et $V_B=V_{DD}$).
- Exprimer la consommation d'un circuit alimenté par V_{cc} (continu), en supposant que le courant d'alimentation $I(t)$ est variable et périodique de période T et peut se décomposer en une grandeur continue I_{moy} et une grandeur alternative $\tilde{i}_{ac}(t)$, en fonction de V_{cc} et I_{moy} . Cette consommation est-elle fonction de $\tilde{i}_{ac}(t)$?

- Donner un schéma de câblage (position des appareils) permettant la mesure de cette puissance à partir de la figure 6. Précisez les grandeurs mesurées (DC, AC ou AC+DC...).

II.3.1. Analyse statique

- Câblez votre montage pour obtenir la porte logique dont le schéma est donné figure 6.
- Alimentez le montage avec une tension continue de **5V**. Appliquez sur l'entrée B un signal de type 'pulse' variant de 0 à 5V et avec un rapport cyclique de 25% issu du GBF. Sur l'entrée A, appliquez le signal issu de la sortie de synchronisation du GBF.
- Relevez les chronogrammes de A, B et S sur un même graphique. Il faudra réaliser la mesure en deux fois puisque l'oscilloscope n'a que deux entrées. Attention à synchroniser les signaux de la même manière pour les deux acquisitions !
- Mesurez la consommation de la porte logique entre 100 Hz et 1 MHz (1 point par décade).
- Analyse :
 - Etablissez la table de vérité du circuit à partir des chronogrammes. Quelle est la fonction réalisée ?
 - Commentez l'évolution de la consommation avec la fréquence.

II.3.2. Etude dynamique

- Effectuer une mesure du temps de propagation lorsque l'entrée A passe de l'état haut à l'état bas, l'entrée B étant à l'état haut. Utilisez une sonde !
- Analysez le résultat obtenu (notamment en le comparant à la mesure effectuée sur l'inverseur)

III. Conclusion

Résumez les points importants pour effectuer les mesures suivantes :

- Une caractéristique statique en mode XY à l'oscilloscope.
- Une mesure de temps de propagation.
- Une mesure de temps de montée.

Datasheet du composant utilisé

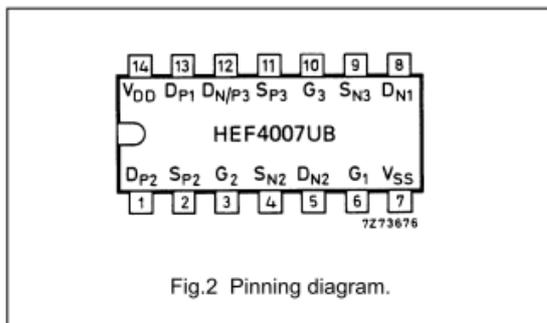
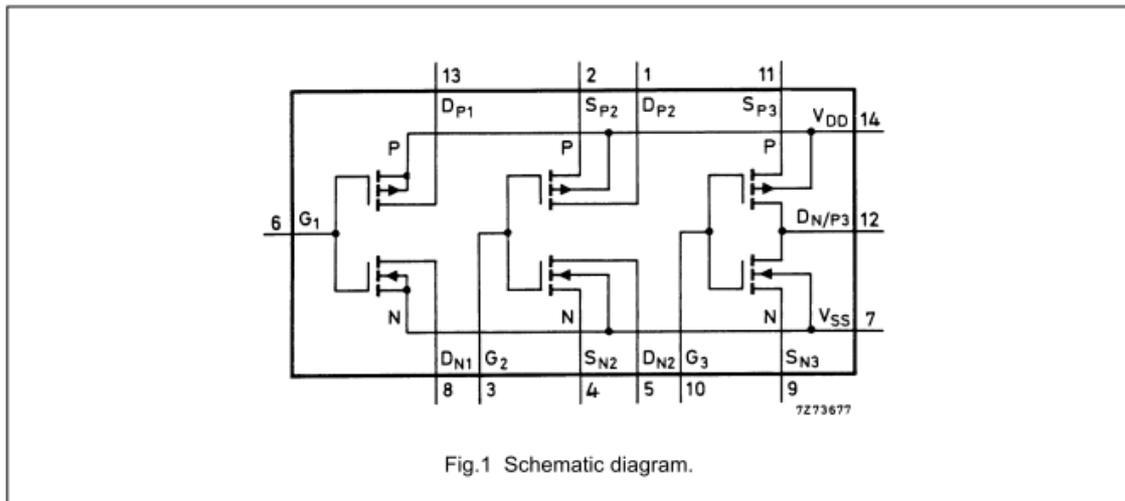
Les transistors utilisés sur la maquette sont : T1 : pattes (1,2,3) ; T2 : pattes (3,4,5) ; T3 : pattes(6,13,14) ; T4 : pattes (6,7,8)

Dual complementary pair and inverter

**HEF4007UB
gates**

DESCRIPTION

The HEF4007UB is a dual complementary pair and an inverter with access to each device. It has three n-channel and three p-channel enhancement mode MOS transistors.



PINNING

- SP₂, SP₃ source connections to 2nd and 3rd p-channel transistors
- DP₁, DP₂ drain connections from the 1st and 2nd p-channel transistors
- DN₁, DN₂ drain connections from the 1st and 2nd n-channel transistors
- SN₂, SN₃ source connections to the 2nd and 3rd n-channel transistors
- DN/P₃ common connection to the 3rd p-channel and n-channel transistor drains
- G₁ to G₃ gate connections to n-channel and p-channel of the three transistor pairs

FAMILY DATA, I_{DD} LIMITS category GATES

See Family Specifications for V_{IH}/V_{IL} unbuffered stages

- HEF4007UBP(N): 14-lead DIL; plastic (SOT27-1)
- HEF4007UBD(F): 14-lead DIL; ceramic (cerdip) (SOT73)
- HEF4007UBT(D): 14-lead SO; plastic (SOT108-1)
- (): Package Designator North America

Dual complementary pair and inverter

HEF4007UB
gates

AC CHARACTERISTICS

$V_{SS} = 0\text{ V}$; $T_{amb} = 25\text{ °C}$; $C_L = 50\text{ pF}$; input transition times $\leq 20\text{ ns}$

	V_{DD} V	SYMBOL	TYP.	MAX.		TYPICAL EXTRAPOLATION FORMULA
Propagation delays $G_n \rightarrow D_N$; D_P HIGH to LOW	5	t_{PHL}	40	80	ns	$13\text{ ns} + (0,55\text{ ns/pF}) C_L$
	10		20	40	ns	$9\text{ ns} + (0,23\text{ ns/pF}) C_L$
	15		15	30	ns	$7\text{ ns} + (0,16\text{ ns/pF}) C_L$
LOW to HIGH	5	t_{PLH}	40	75	ns	$13\text{ ns} + (0,55\text{ ns/pF}) C_L$
	10		20	40	ns	$9\text{ ns} + (0,23\text{ ns/pF}) C_L$
	15		15	30	ns	$7\text{ ns} + (0,16\text{ ns/pF}) C_L$
Output transition times HIGH to LOW	5	t_{THL}	60	120	ns	$10\text{ ns} + (1,0\text{ ns/pF}) C_L$
	10		30	60	ns	$9\text{ ns} + (0,42\text{ ns/pF}) C_L$
	15		20	40	ns	$6\text{ ns} + (0,28\text{ ns/pF}) C_L$
LOW to HIGH	5	t_{TLH}	60	120	ns	$10\text{ ns} + (1,0\text{ ns/pF}) C_L$
	10		30	60	ns	$9\text{ ns} + (0,42\text{ ns/pF}) C_L$
	15		20	40	ns	$6\text{ ns} + (0,28\text{ ns/pF}) C_L$

	V_{DD} V	TYPICAL FORMULA FOR P (μW)	
Dynamic power dissipation per package (P)	5	$4500 f_i + \sum (f_o C_L) \times V_{DD}^2$	where f_i = input freq. (MHz) f_o = output freq. (MHz) C_L = load capacitance (pF) $\sum(f_o C_L)$ = sum of outputs V_{DD} = supply voltage (V)
	10	$20\ 000 f_i + \sum (f_o C_L) \times V_{DD}^2$	
	15	$50\ 000 f_i + \sum (f_o C_L) \times V_{DD}^2$	